

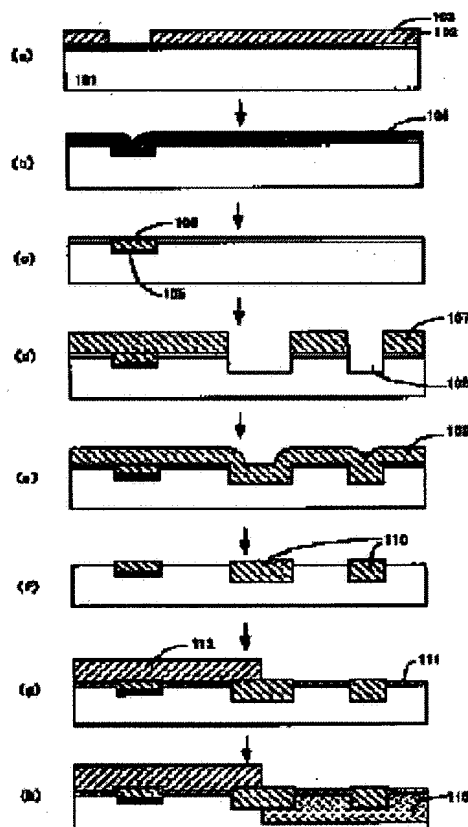
PATTERN FORMATION METHOD AND SEMICONDUCTOR DEVICE USING THE SAME

Patent number: JP2000150358
Publication date: 2000-05-30
Inventor: YAMAMOTO JIRO; MURAI FUMIO; YOSHIMURA TOSHIYUKI; TERASAWA TSUNEO
Applicant: HITACHI LTD
Classification:
- international: H01L21/027
- european:
Application number: JP19980327719 19981118
Priority number(s): JP19980327719 19981118

Report a data error here

Abstract of JP2000150358

PROBLEM TO BE SOLVED: To provide a sufficient detection signal for an alignment mark even with a significantly small surface step, by allowing an acceleration voltage of electron beam to be at least a specific value, using an atom whose atomic number is titanium or above as the alignment mark, and allowing the step of the top layer to be a specific value or less. **SOLUTION:** With electron beam of acceleration voltage about 45 kV or higher, inter-layer matching drawing is performed using an alignment mark 105. For the alignment mark 105, a heavy metal atom of atomic number of titanium or above is used while the step of top layer is about 0.3 μm or less. With the acceleration voltage of electron beam about 45 kV or higher, since the electron beam reaches about 10 μm level or more from an incidence point, an alignment mark signal is sufficiently detected even if several layers of about a few μm is formed on the upper layer of the alignment mark 105 by using a heavy metal of high reflectivity as the alignment mark 105.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-150358

(P2000-150358A)

(43)公開日 平成12年5月30日(2000.5.30)

(51)Int.Cl.⁷

H 0 1 L 21/027

識別記号

F I

H 0 1 L 21/30

テーマコード^{*}(参考)

5 4 1 K 5 F 0 4 6

5 0 2 M 5 F 0 5 6

審査請求 未請求 請求項の数7 O L (全 9 頁)

(21)出願番号 特願平10-327719

(22)出願日 平成10年11月18日(1998.11.18)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 山本 治郎

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 村井 二三夫

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 100068504

弁理士 小川 勝男

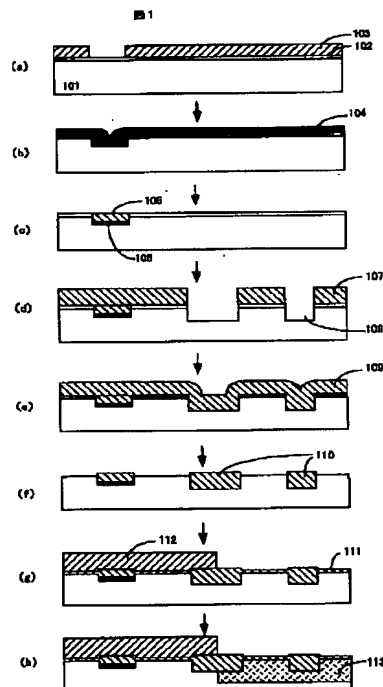
最終頁に続く

(54)【発明の名称】 パターン形成方法およびそれを用いた半導体装置

(57)【要約】

【課題】表面段差がないか、極めて小さい場合でも、位置合わせマークの検出信号が十分に得られるマークおよびその形成方法を提供する。

【解決手段】最上層に段差が生じない、あるいは段差を小さくするように平坦化された基板において、加速電圧が45kV以上の電子線を用い、前記位置合わせマークにTi以上の原子番号の重金属原子、あるいはシリコン(Si)、シリコン酸化膜(SiO₂)、炭素(C)、窒化ボロン(BN)、ガリウム砒素(GaAs)のうち2種類を使用する。



1

【特許請求の範囲】

【請求項1】シリコン基板上に形成された位置合わせマーク上を電子線で走査し、前記位置合わせマークからの反射電子信号、あるいは二次電子信号を検出し、前記工程により検出された信号により位置合わせマークの位置を求め、マーク位置に基づいて電子線により、新たに所定パターンを設ける電子線描画によるパターン形成方法において、電子線の加速電圧を45kV以上とし、前記位置合わせマークに原子番号がチタン (Ti) 以上の原子、あるいはシリコン (Si)、シリコン酸化膜 (SiO₂)、炭素 (C)、窒化ボロン (BN)、ガリウム砒素 (GaAs) のうち2種類を使用し、かつ最上層の段差を0.3μm以下にすることを特徴とするパターン形成方法。

【請求項2】請求項1記載のパターン形成方法において、前記位置合わせマークに用いる原子番号がチタン以上の原子として、銅 (Cu)、タングステン (W)、白金 (Pt) の少なくとも一つを含むことを特徴とするパターン形成方法。

【請求項3】請求項1または2記載のパターン形成方法において、前記位置合わせマーク部と非マーク部の厚さを变化させることにより、位置合わせマークの検出信号を検出することを特徴とするパターン形成方法。

【請求項4】請求項1から3のいずれか記載のパターン形成方法において、前記位置合わせマークの上部、あるいはマークの周囲を、異なる物質で覆うことを特徴とするパターン形成方法。

【請求項5】請求項1から4のいずれか記載のパターン形成方法において、前記位置合わせマークが0.3μm以下の細い線からなることを特徴とするパターン形成方法。

【請求項6】請求項1から5のいずれか記載のパターン形成方法において、前記位置合わせマークを2層以上にわたり、同一のマークを用いてマーク検出を行うことを特徴とするパターン形成方法。

【請求項7】請求項1から6のいずれか記載のパターン形成方法を用いて形成した半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はリソグラフィー工程に係り、特に位置合わせマークを用いて、例えばウェハ上あるいはマスク上にパターンを形成する方法に関する。

【0002】

【従来の技術】電子線描画技術では、既に試料上に形成されたパターンに合わせて、別の新しいパターンを描画することが行われる。このような層間合わせ描画は、あらかじめ試料上に形成された位置合わせマークの位置を検出し、その位置を基準として新たなパターンを描画することにより実現される。各層間の合わせ描画における位置合わせマークの検出方法を図2を用いて説明する。

【0003】図2 (a) に位置合わせマークの平面構造

2

の一例を示す。図2 (a) で示す位置合わせマーク201は、井型の形状である。x方向の位置合わせマーク位置は、矢印202の方向に電子線を走査し、y方向の位置は、矢印203の方向に電子線を走査することにより求められる。

【0004】同図 (b) は、電子線走査方向での位置合わせマーク断面構造、および、信号検出方法を示したものである。シリコン基板204には溝205が形成されている。電子線206を位置合わせマーク上を走査させると、2次電子、または、反射電子207が基板表面にでてくる。この電子を検出器208によって検出し、位置合わせマークの位置を求めている。

【0005】同図 (c) は同図 (b) における電子線の走査位置と、検出信号強度との関係を示したものである。検出信号209には、溝205に対応して検出信号の波形が変化する。この信号に対してスライスレベル210を設定すると、検出した信号とスライスレベルが交わる位置、検出点A211、検出点B212、検出点C213、検出点D214が位置合わせマークの溝の縁に対応して設定される。その後、検出点AとBの中心点A215、および検出点CとDの中心点B216が得られ、さらに、中心点A、Bにより、位置合わせマーク中心点217を得ることができる。

【0006】この位置合わせマーク検出を伴う層間合わせ描画では、同図 (d) に示したようにチップ218の周囲に配置された位置合わせマーク219、220、221、222を検出し、その結果からゲイン、偏光方向の回転、描画位置のシフトなどの補正を行って、高精度な層間合わせ描画を実現している。

【0007】

【発明が解決しようとする課題】しかしLSIの高集積化に伴い、配線の多層配線化が行われているが、配線の多層化を進める上で、段差の低減が大きな課題となってきた。段差が大きい場合、レジストの膜厚が部分的に厚くなり、その結果、加工寸法に対するパターン高さいわゆるアスペクト比が部分的に増大する。その結果、パターンが倒れるといった問題が生じた。その対策として、デバイス構造そのものを段差が少なくなるように設計する、あるいは高平坦性絶縁膜の検討や化学機械研磨 (Chemical mechanical polishing、以下CMPと略す) 法により、平坦性の向上が検討されている。

【0008】以上のような平坦化は、基板倒れの低減、微細パターンの形成等にとって有利である。しかし、平坦化工程によって、各層間の位置合わせを行うことが困難になる問題が生じてきた。

【0009】例えば、図3 (a) のように、基板を平坦化することによって、位置合わせマーク301の段差も少なくなる。その結果、十分な検出信号が得られないため、ゲインを高くするが、図3 (b) に示しているように、マーク信号302はノイズが大きくなり、十分な検出精度を得ることができなかった。あるいは、図3 (c)

3

に示しているように、CMP工程は基板表面を研磨するため、位置合わせマーク303の表面部分にマークの変形が生じることがあった。その場合、図3 (d) に示しているように、位置合わせマーク検出時にマーク信号304に疑信号を生じ、合わせ精度の低下、さらには層間合わせ描画そのものができないといった問題が生じた。

【0010】その対策として特開平9-246155号公報には、マークの表面を平坦な構造にし、マーク部材として重金属を用いる方法が公開されている。しかし、マークの形成方法については詳しく述べられておらず、十分なマーク信号を得ることは困難である。また、ゲート層の加工時に重金属をマークとして用いた場合、重金属汚染によりデバイス特性を著しく低下させることとなり、前記従来例のような重金属マークを使用することは困難である。

【0011】

【課題を解決するための手段】本発明は、加速電圧が45kV以上の電子線により位置合わせマークを用いた層間合わせ描画を行う工程において、前記位置合わせマークにTi以上の原子番号の重金属原子、あるいはシリコン (Si)、シリコン酸化膜 (SiO₂)、炭素 (C)、窒化ボロン (BN)、ガリウム砒素 (GaAs) のうち2種類を使用し、かつ最上層に段差が生じない、あるいは段差を小さくするように平坦化する事を特徴とする。このように、位置合わせマーク部分にTi以上の原子番号の重金属を用いることによって、十分な位置合わせマーク信号を得ることが可能となる。

【0012】さらに、電子線の加速電圧が45kV以上の場合、電子線が入射点から10 μ m以上到達するため、マークに重金属を用いることによって、位置合わせマークの上層に数 μ m程度の層が数層形成されても、位置合わせマーク信号が十分に検出可能となる。重金属をマークとして用いた場合、デバイス特性を悪化することが懸念されるときは、シリコン、シリコン酸化膜、炭素、窒化ボロンのうち2種類によりマーク部、非マーク部を形成することにより、重金属汚染がなく、同様に十分なマーク信号を得ることが可能となる。また、ガリウム砒素基板等の化合物半導体などの場合、シリコン、シリコン酸化膜、炭素、窒化ボロンと比較し、電子線の到達深さが小さくなるため、ガリウム砒素と、シリコン、シリコン酸化膜、炭素、窒化ボロンのいずれかの組み合わせにより十分なマーク信号が得られる。

【0013】

【発明の実施の形態】 (実施例1) 図1に、重金属による部材からなる位置合わせマークをあらかじめ設けてパターン形成を行う工程を説明する。

【0014】まず、シリコン基板101上に、CVD (Chemical Vapor Deposition) 法により窒化シリコン (Si₃N₄) 膜102を形成した。その上に、日立化成社製の化学増幅系ポジ型レジストRE-5000Pを0.4 μ mの厚さに回転塗布

4

し、熱処理を120 $^{\circ}$ C、2分間行いレジスト層とした。さらに、加速電圧50kVの電子線を12 μ C/cm²の電子線照射量で所定のマーク形状に従い選択的に照射した後、熱処理工程を110 $^{\circ}$ C、2分間、テトラメチルアンモニウムハイドロオキシドの2.38%水溶液に1分間浸漬による現像処理を行うことによって、レジストパターン103を形成した (a)。なお本実施例では電子線描画法によりパターンを形成したが、エキシマレーザー等の光露光法を用いて形成してもよい。

【0015】次にレジストパターン103をマスクとして、ドライエッチング工程を行い、レジスト除去を行なった後に、スパッタ法によりタングステン膜104を形成した (b)。その後CMPを行ない、表面を平坦にした後、過酸化水素水によりタングステンの表面層をエッチングし、重金属の位置合わせマーク105を形成した。

【0016】さらにCVD法により酸化シリコン膜を形成し、CMPにより平坦化し、保護膜106を形成した (c)。ここで、保護膜106を形成せず、表面に重金属による位置合わせマークが露出していた場合、熱処理工程やその後のプロセスで不良となることがある。あるいは、位置合わせマーク105を形成した後に基板表面の重金属を除去するため洗浄工程を行なうが、位置合わせマーク105が露出した状態で洗浄を行なった場合、マークもエッチングされなくなってしまうことがあった。本実施例のように保護膜106を形成することによって、十分な洗浄工程が可能となり、重金属汚染の問題を低減することが可能となる。

【0017】以後の工程は、半導体装置の寄生抵抗低減のための素子分離の製造工程を示す。まず、日立化成製のRE-5000Pを0.4 μ mの厚さに回転塗布し、熱処理を120 $^{\circ}$ C、2分間行い、レジスト層を形成した。

【0018】次工程の電子線描画の際、加速電圧50kVの電子線を用い、位置合わせマーク105の検出を行い、その検出された位置合わせマーク位置により、2層間の位置を調整し、12 μ C/cm²の電子線照射量で素子分離用のパターンの形状に従い選択的に照射した。そして、熱処理工程を110 $^{\circ}$ C、2分間行い、さらにテトラメチルアンモニウムハイドロオキシドの2.38%水溶液に1分間浸漬させて現像処理を行うことによって、レジストパターン107を形成し、その後、ドライエッチング工程により素子分離用の溝108を形成した (d)。レジスト除去を行った後、CVD法を用いて酸化シリコン膜109を形成した (e)。

【0019】次にCMPによる平坦化工程を行った。このとき窒化シリコン膜102は、SOGによる酸化シリコン膜109と比較し、CMPでの研磨速度が遅いため、研磨の際のストッパ層として働く。CMPを行なった後、窒化シリコン膜102を除去し、素子分離110を形成した (f)。その後熱酸化により酸化シリコン膜111を形成した後、レジストパターン112を形成し (g)、そのレジスト膜をマスク

5

にしてイオン打ち込みを行ない、ウェル層113を形成した(h)。このレジストパターン112の形成の際にも、位置合わせマーク105の位置を検出することにより所定のパターンを形成した。以降の工程においては、通常の半導体製造工程を用いた。

【0020】従来の方法によれば平坦化工程によって段差がなくなる、あるいは小さくなるため、位置合わせマーク検出が困難であり、高精度な位置合わせができなかった。しかし、本実施例のように反射率が高い物質をマークに使用することにより、十分な位置合わせマーク検出が可能となった。この反射率の高いマーク材料として、原子番号がチタン以上の原子が効果的であり、特に本実施例のようなタングステンや、その他にも銅、白金が効果的であった。

【0021】さらに、マーク上に保護膜を形成することによって金属汚染の問題を低減することが可能となった。さらに、本実施例で形成された位置合わせマークは、上層に数 μm 形成されても検出可能であるため、数層にわたり位置合わせマークとして使用することが可能である。

【0022】(実施例2)本実施例ではCMOS ICの配線工程に本発明を適用した場合の一例を図4を用いて説明する。

【0023】同図(a)にCMOS ICの配線工程以前の断面図を示している。次にシリコン酸化膜412を形成後、CMPを行なうことにより基板表面が平坦になるように形成し、さらにレジストパターン413を形成し、それをマスクにしてエッチングを行なった(b)。その後、窒化チタン膜をバリア層414として形成した後に、窒化チタン膜上に銅を形成し、CMPにより平坦化を行い銅を金属膜415として形成した(c)。バリア層414は、熱処理の際、金属膜415の銅が拡散することを低減させる。以上の工程により、位置合わせマーク416を形成した。

【0024】さらに、金属膜415上にバリア層417を形成した後、加速電圧70kVの電子線にて、銅の厚みの差を利用した位置合わせマーク416により位置合わせを行ない、レジストパターン418を形成した(d)。その後ドライエッチング工程により配線層419を形成し、さらにシリコン酸化膜をCVDにより形成し、CMPを行なうことによってシリコン酸化膜420を形成した(e)。以降の工程は、通常の半導体製造工程を用いることにより、CMOS ICの形成が可能となる。

【0025】本実施例のように、金属による位置合わせマーク416をバリア層414と417で囲むことにより、熱処理時に金属の拡散を低減することが可能となり、歩留まりの向上が可能となる。また、本実施例のように、配線層の工程とマークの形成を同時に行なうことにより、位置合わせマーク形成のための工程数の増加がなくなるため、生産コストの低減が可能である。

【0026】本実施例では銅の厚みの違いにより上記位

6

置合わせマーク416を検出し、その検出された位置合わせマーク位置の値をもとに描画を行なった。光によるリソグラフィーを用いた場合、位置合わせマーク416は、最表面が金属膜であり、かつ平坦化されたことによって、位置合わせマークの検出はできない。しかし、本実施例のような45kV以上の加速電圧の高い電子線を用いれば、表面の凹凸の情報だけでなく、表面から数 μm まで到達するため、位置合わせマーク検出が可能となった。その結果、位置合わせマークのために、大きい段差をつける必要がないため、工程数の増加を招くことがなく、その結果生産コストを低減することが可能となった。

【0027】(実施例3)本実施例では、素子分離膜の形成に本発明を適用した場合の一例を図5を用いて説明する。

【0028】シリコン基板501、窒化シリコン膜502上にレジストパターン503を形成した(a)。次に、レジストパターン503をマスクにしてドライエッチングを行なった後、シリコン酸化膜を形成し、さらにCMPにより平坦化を行なうことにより、位置合わせマーク504を形成した(b)。さらに加速電圧50kVの電子線にて、位置合わせマーク504により位置合わせを行ない、レジストパターン505を形成した(c)。

【0029】本実施例ではマーク部とその周囲の材料をシリコンと酸化シリコンとした。金属汚染が問題になる可能性がある場合には、本実施例のように、マーク部材として、軽元素を用いることにより、金属汚染の問題を無くすることが可能となる。また、マーク部材として検討したところ、マーク部およびその周辺部に、シリコン、シリコン酸化膜、炭素、窒化ボロン、ガリウム砒素のいずれか2種類の組み合わせにより、十分なマーク信号を検出することが可能であった。

【0030】その後、シリコン酸化膜506を形成し(d)、CMPにより素子分離膜507を形成した(e)。窒化シリコン膜502を除去後、熱酸化によりシリコン酸化膜508を形成し、さらに位置合わせマーク504を再度利用し、マーク位置を検出することによって所定の領域にレジストパターン509を形成し、それをマスクにしてイオン打ち込みを行ない、ウェル層510を形成した(f)後、上記レジストパターン509を除去した(g)。

【0031】以降の工程は、通常の半導体製造工程を用いることにより、半導体装置を製造することが可能になった。

【0032】本実施例では重金属を工程中に使用していない。そのため、重金属を位置合わせマークとして用いた場合と比較し、重金属汚染の問題を大幅に低減することが可能となった。その結果、特に大型計算機用の高速プロセッサのように高い性能が求められるような製品の場合には、特に有効であった。

【0033】(実施例4)本実施例では素子分離膜の形成工程に、本発明を適用した場合の一例を図6を用いて

7

説明する。

【0034】シリコン基板601、窒化シリコン膜602上にレジストパターン603を形成した(a)。その後、レジストパターンをマスクにしてドライエッチングを行い、その後酸化シリコン膜604を形成した(b)。さらに、CMPを行なうことにより位置合わせマーク605および素子分離膜606を形成した(c)。本実施例では位置合わせマーク605を多数本の細溝により形成した。

【0035】本実施例のように素子分離膜606と位置合わせマーク605を同時に作製する場合、素子分離膜606と位置合わせマーク605の厚さは同じとなる。その結果、素子分離膜606の厚さが薄い場合、同時に位置合わせマーク605の厚さも薄くなる。従って、例えば位置合わせマーク605の厚さが $0.3\mu\text{m}$ 以下になった場合、マーク信号が小さくなり十分な信号を得ることができなかった。

【0036】また、寸法の大きな溝によるマークの場合、CMPの際、溝中央部での研磨量が大きくなり、その結果中央部にへこみが生じることがあった。そのため、完全に平坦化され、へこみがない場合には十分なマーク信号が取れる膜厚があったとしても、へこみが生じることによって十分なマーク信号がとれなくなることがあった。その場合、本実施例のように多数本の溝による位置合わせマーク605とすることによって、マーク全体として検出信号を大きくすることができ、また素子分離膜と同等程度の細い溝にすることによってマーク部のへこみを減少することが可能となった。

【0037】次に、熱酸化により、酸化シリコン膜607を形成後、レジスト膜を塗布し、さらに位置合わせマーク605を加速電圧50kVの電子線で検出することにより、所定の位置に電子線描画を行ない、レジストパターン608を形成した。さらに、イオン打ち込みによりウェル層609を形成し(d)した後、上記レジストパターン608を除去した(e)。

【0038】以降の工程は通常の半導体装置の製造方法を用いることにより、半導体装置を製造することが可能となった。

【0039】(実施例5)本実施例ではDRAMの多層配線工程に本発明を適用した場合の一例を図7を用いて説明する。

【0040】図7(a)にDRAMの配線工程以前の断面図を示している。ここで、図の701はシリコン基板、702はnウェル、703はpウェル、704はp⁺拡散層、705はn⁺拡散層、706はp⁺拡散層、707はn⁺拡散層、708は素子分離、709はシリコン酸化膜、710は多結晶シリコン膜、711は多結晶シリコン膜、712はシリコン酸化膜である。

【0041】次にシリコン酸化膜712を形成後、CVD法により金属膜713としてタングステンを形成した(b)。次にドライエッチングを行なうことによってシリコン酸化膜のエッジ部分に位置合わせマーク714を形成した

(c)。ここで、位置合わせマーク用の溝に全てタング

8

ステンを埋め込むようにした場合にはタングステンの厚さを厚くする必要があった。しかし、ストレスにより基板が割れる可能性があるため、タングステンの膜厚をあまり厚くすることはできなかった。そこで、本実施例のように、シリコン酸化膜の段差部分を利用することにより、段差を低減することが可能になった。

【0042】次にシリコン酸化膜715を形成し、レジスト塗布後、加速電圧50kVの電子線描画装置を用いて、位置合わせマーク714を電子線で検出し、所定の位置に電子線描画することによって、レジストパターン716を形成した(d)。さらにドライエッチングを行なった後、CVD法により金属膜をつけた後CMPを行なうことによって、配線層717を形成した(e)。その後も同様に繰り返し、位置合わせマーク714を検出することによって、多層配線を高い合わせ精度で形成することが可能となった(f)。

【0043】(実施例6)次にCMOS ICの配線層の形成に本発明を適用した場合の一例を、基板上面からみた図8を用いて説明する。

【0044】ゲート802、素子分離803、コンタクト804、埋め込み型位置合わせマーク805を形成した。位置合わせマーク805はコンタクト804を形成する時に同時に作製した。ここで、基板表面はCMP工程により平坦化が行われている。次に窒化チタン(TiN)、アルミニウム(Al)、タングステン(W)の積層金属からなる多層金属膜806を形成し、さらにレジスト膜801を形成した(a)。

【0045】次に位置合わせマーク805の検出を行い、その検出された位置合わせマーク位置により、2層間の位置を調整した後に、所定の形状に従い電子線描画することによって、レジストパターン807を形成した(b)。ここで、形成したレジストパターン807はコンタクト804のパターンにあわせて、描画を行なうが、位置合わせずれが多少生じててもよいように、合わせ誤差をあらかじめ設定し形成した。

【0046】次に、レジストパターン807をマスクにしてドライエッチングを行ない、その結果配線パターン808を形成した(c)。

【0047】従来法では平坦化工程を行なうことによってマーク信号の減衰が生じ高精度な位置合わせが困難であったが、本実施例の方法により、高精度な検出ができ、その結果、合わせ誤差裕度を小さくすることによりチップを小さくすることが可能になった。

【0048】

【発明の効果】本発明によれば、表面段差がないか、極めて小さい場合でも、位置合わせマークの検出信号が十分に得られ、半導体集積回路装置の製造におけるリソグラフィ工程等で、微細パターン間の高い位置合わせ精度を実現することができる。

【図面の簡単な説明】

50

【図1】本発明の第1の実施例を用いたパターン形成工程を示す断面図。

【図2】従来の方法を示す説明図。

【図3】従来の方法による問題点を示す説明図。

【図4】本発明の第2の実施例を用いたパターン形成工程を示す断面図。

【図5】本発明の第3の実施例を用いたパターン形成工程を示す断面図。

【図6】本発明の第4の実施例を用いたパターン形成工程を示す断面図。

【図7】本発明の第5の実施例を用いたパターン形成工程を示す断面図。

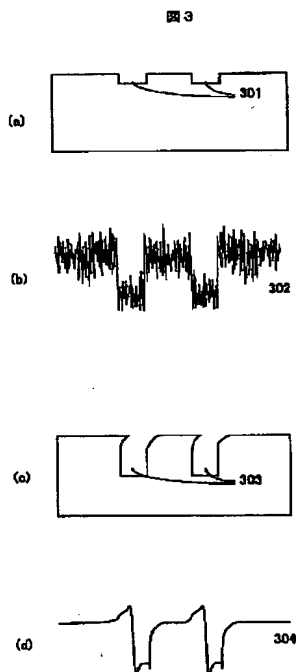
【図8】本発明の第6の実施例を用いたパターン形成工程を示す平面図。

【符号の説明】

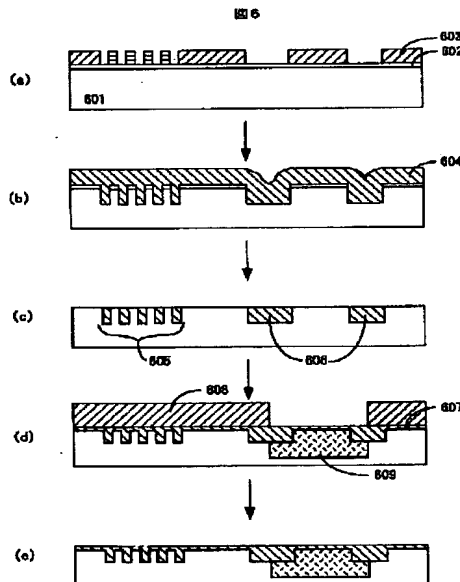
101…シリコン基板、102…窒化シリコン膜、103…レジストパターン、104…タングステン膜、105…位置合わせマーク、106…保護膜、107…レジストパターン、108…溝、109…酸化シリコン膜、110…素子分離、111…酸化シリコン膜、112…レジストパターン、113…ウェル層、201…位置合わせマーク、202…走査方向、203…走査方向、204…シリコン基板、205…溝、206…電子線、207…反射電子または2次電子、208…検出器、209…検出信号、210…スライスレベル、211…検出点A、212…検出点B、213…検出点C、214…検出点D、215…中心点A、216…中心点B、217…マーク中心点、218…チップ、219、22

0、221、222…位置合わせマーク、301、303…位置合わせマーク、302、304…マーク信号、401…シリコン基板、402…nウェル、403…pウェル、404…p⁺拡散層、405…n⁺拡散層、406…p⁺拡散層、407…n⁺拡散層、408…素子分離、409…シリコン酸化膜、410…多結晶シリコン膜、411…多結晶シリコン膜、412…シリコン酸化膜、413…レジストパターン、414…バリア層、415…金属膜、416…位置合わせマーク、417…バリア層、418…レジストパターン、419…配線層、420…シリコン酸化膜、501…シリコン基板、502…窒化シリコン膜、503…レジストパターン、504…位置合わせマーク、505…レジストパターン、506…シリコン酸化膜、507…素子分離膜、508…シリコン酸化膜、509…レジストパターン、510…ウェル層、601…シリコン基板、602…窒化シリコン膜、603…レジストパターン、604…酸化シリコン膜、605…位置合わせマーク、606…素子分離膜、607…酸化シリコン膜、608…レジストパターン、609…ウェル層、701…シリコン基板、702…nウェル、703…pウェル、704…p⁺拡散層、705…n⁺拡散層、706…p⁺拡散層、707…n⁺拡散層、708…素子分離、709…シリコン酸化膜、710…多結晶シリコン膜、711…多結晶シリコン膜、712…シリコン酸化膜、713…金属膜、714…位置合わせマーク、715…シリコン酸化膜、716…レジストパターン、717…配線層、801…レジストパターン、802…ゲート、803…素子分離、804…コンタクト、805…位置合わせマーク、806…多層金属膜、807…レジストパターン、808…配線層。

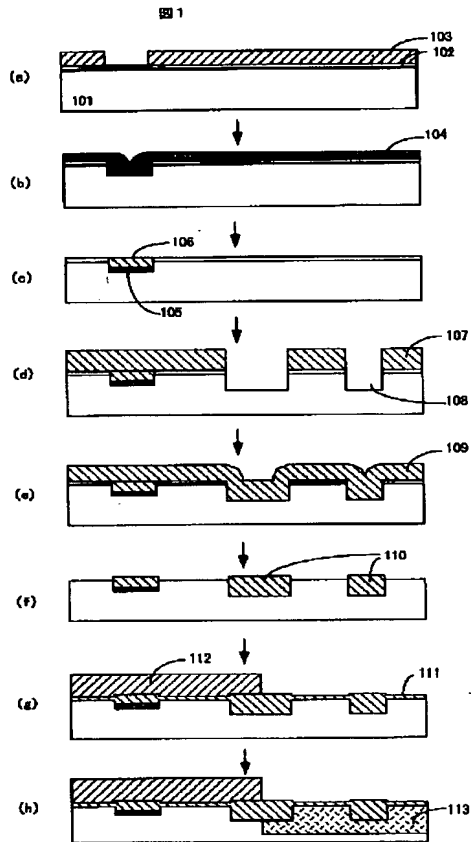
【図3】



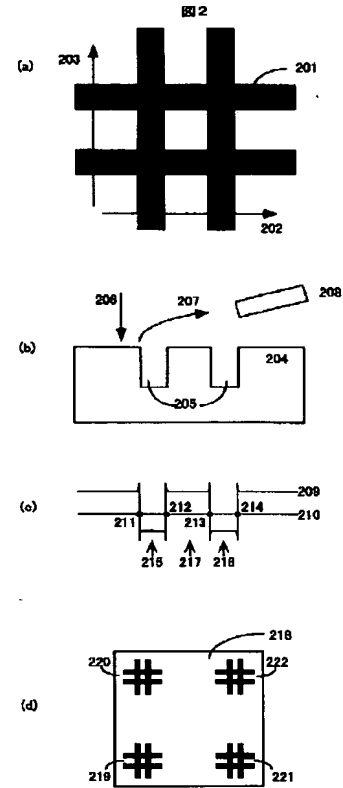
【図6】



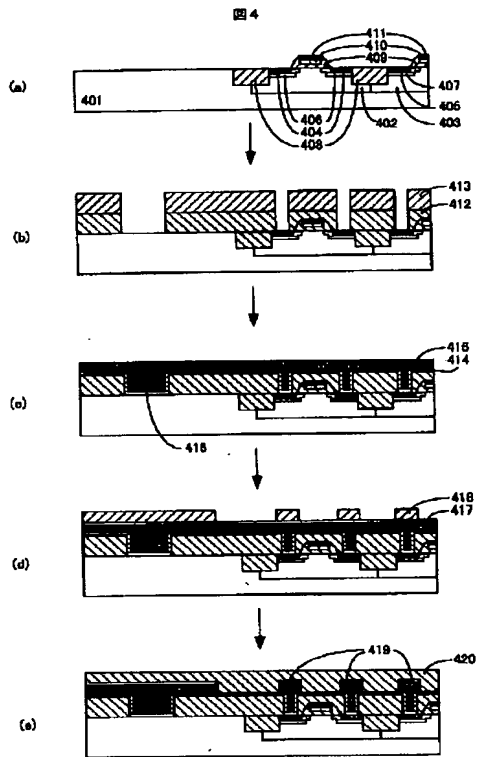
【図 1】



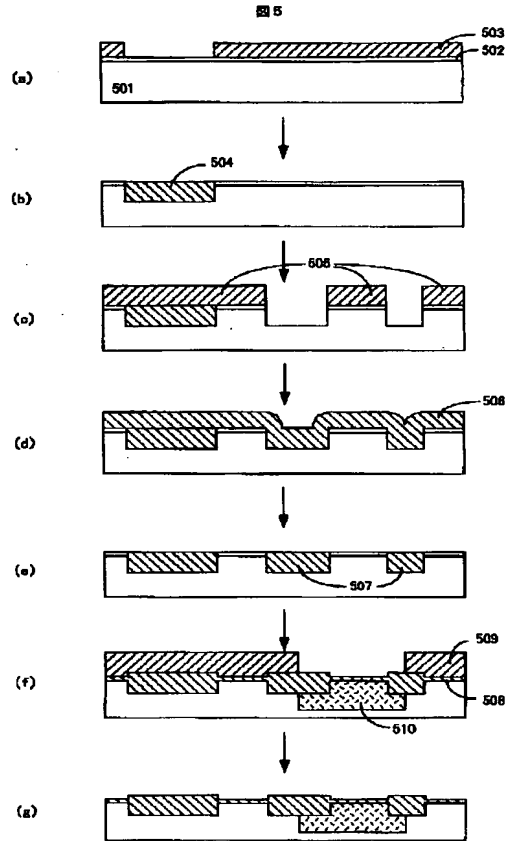
【図 2】



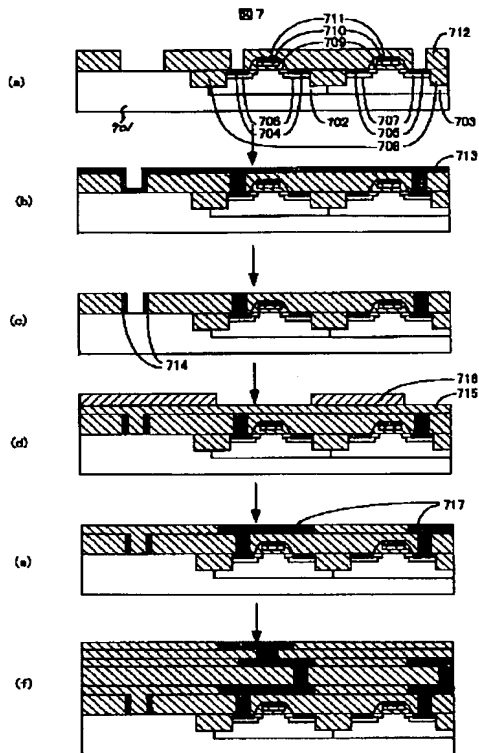
【図 4】



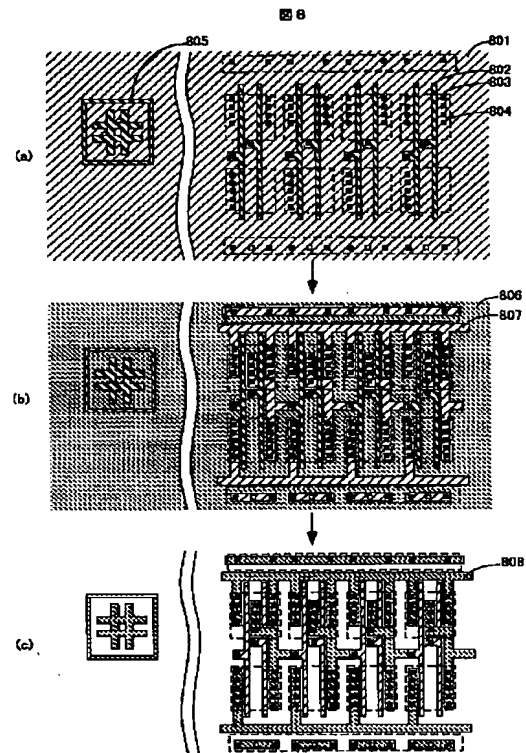
【図 5】



【図7】



【図8】



フロントページの続き

(72)発明者 吉村 俊之
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

30 (72)発明者 寺澤 恒男
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内
Fターム(参考) 5F046 AA20 DD03 EA18 FA08
5F056 AA22 AA31 BD04 BD06 CB02
FA06

2. Japanese Patent Application Laid-Open No. 2000-150358

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

[Claim(s)]

[Claim 1] Consist of the 1st pattern prepared on the substrate, and the 2nd pattern is formed through the film on the pattern of the above 1st. It is a pattern for superposition precision measurement for measuring superposition precision using the 1st pattern of the above, and the 2nd pattern of the above. The pattern for superposition precision measurement with which the 1st pattern of the above is characterized by having the pattern configuration which becomes almost symmetrical to the core of the 1st pattern of the above by the coverage of the above-mentioned film.

[Claim 2] The pattern for superposition precision measurement according to claim 1 with which the 1st pattern of the above consists of Rhine patterns prepared along each side of four square shapes, and width of face of a direction perpendicular to the longitudinal direction of the above-mentioned Rhine pattern is characterized by 0.5-micrometer or more being 2 micrometers or less.

[Claim 3] The pattern for superposition precision measurement according to claim 2 characterized by the four above-mentioned square shape being a square.

[Claim 4] The pattern for superposition precision measurement according to claim 3 characterized by spacing of two parallel Rhine patterns being 3 micrometers or more 10 micrometers or less mutually of the above-mentioned Rhine patterns.

[Claim 5] The pattern for superposition precision measurement according to claim 1 characterized by the configuration of the 1st pattern of the above and the configuration of the 2nd pattern of the above being similarities mutually.

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention is applied to measurement of the superposition precision of the resist pattern formed on a semiconductor wafer about the pattern for superposition precision measurement, and is suitable.

[0002]

[Description of the Prior Art] While the degree of integration of LSI progresses, the design rule is becoming small. And while detailed-ization of a resist pattern is called for with contraction-izing of such a design rule, highly precise-ization of superposition precision is also demanded.

[0003] In the photoresist applied on the semiconductor wafer corresponding to the demand of highly-precise-izing of such a superposition precision, in order to perform superposition exposure with high precision, various superposition precision measurement methods are devised.

[0004] In measurement of the superposition precision after formation of the conventional resist pattern, the pattern (pattern for superposition precision measurement) of the dedication for measuring the superposition precision arranged in a stepper's exposure shot was measured at the shot of the arbitration in a semiconductor wafer using the superposition precision measurement machine.

[0005] Moreover, the pattern for superposition precision measurement is put in order by two or more horizontal single tier for every process, and the mark for an alignment check for this to measure superposition precision is constituted.

[0006] Here, the conventional mark for an alignment check prepared in the reticle is explained concretely below.

[0007] That is, as shown in drawing 7 , the conventional marks 102a-102e for an alignment check are formed in five in a reticle 101. Four marks 102a-102d for an alignment check are formed in four corners of a reticle 101, respectively among these five marks 102a-102e for an alignment check. As for these marks 102a-102d for an alignment check, those longitudinal directions are prepared along each side of a reticle 101.

[0008] Moreover, the remaining mark 102e for an one alignment check is prepared in the surrounding part of the center of a reticle 101. This mark 102e for an alignment check is prepared so that it may become perpendicular to the longitudinal direction of other two marks 102b and 102d for an alignment check mutually prepared in the vertical angle, while being prepared so that that longitudinal direction may become parallel to the longitudinal direction of two marks 102a and 102c for an alignment check mutually prepared in the vertical angle.

[0009] As shown in drawing 8 , the above-mentioned marks 102a-102e for an alignment check arrange in two or more horizontal single tier (longitudinal direction of the mark for an alignment check) the pattern 104 for superposition precision measurement which consists of square box marks 103, respectively for every process, and are constituted.

[0010] Next, the conventional pattern for superposition precision measurement

prepared on the semiconductor wafer is explained. The mark for an alignment check which consists of patterns for superposition precision measurement is prepared also on the semiconductor wafer. The top view of the pattern for superposition precision measurement prepared on the semiconductor wafer is shown in drawing 9 A, and the sectional view which met on the B-B line is shown in drawing 9 B.

[0011] As shown in drawing 9 A, the pattern 105 for superposition precision measurement on a semiconductor wafer consists of box marks 106 of the pattern 103 for superposition precision measurement on the above-mentioned reticle 101, and similarity. A sign 107 shows the box mark which consists of a photoresist formed of the lithography process which used the above-mentioned reticle 101.

[0012] Moreover, as shown in drawing 9 B, the box mark 106 consists of aluminum film 109 on a semiconductor wafer 108. Moreover, as this aluminum film 109 is covered, the upper film 110, such as an interlayer insulation film, is formed. On the upper film 110, pattern NINGU of the photoresist 111 is carried out, and it is formed at the configuration of the box mark 107. And measurement of superposition precision is x1 in drawing 9 B, and x2. It detects and carries out by computing those differences. Moreover, die length l1 of one side of the box mark 106 and die length l2 of one side of the box mark 107 They are a number - 10 micrometers of numbers, respectively.

[0013] Moreover, as shown in drawing 10 , it considers as the pattern (extracting hereafter pattern) from which the part of the pattern configuration corresponding to the box pattern 106 for the pattern of the aluminum film 109 was removed, and some which are used as the pattern (henceforth, remnants pattern) which left the part of the pattern configuration corresponding to the box mark 107 for the pattern of a photoresist 111 are one of things corresponding to the pattern 105 for superposition precision measurement shown in drawing 9 A in addition to what is shown in drawing 9 B.

[0014] Moreover, there are also what uses the pattern of the aluminum film 109 as the remnants pattern of the configuration of the box pattern 106, and the configuration of the box pattern 107 extracts the pattern of a photoresist 111, and is used as a pattern as shown in drawing 11 , and a thing which the configuration of the box pattern 106 extracts the pattern of the aluminum film 109, it considers as a pattern, and the configuration of the box pattern 106 extracts the pattern of a photoresist 111, and is used as a pattern as shown in drawing 1212 .

[0015] Thus, the conventional pattern for superposition precision measurement consisted of box marks which a square remnants pattern and a square extract and consist of a pattern, and was used for measurement of superposition precision combining each box mark if needed.

[0016]

[Problem(s) to be Solved by the Invention] It is impossible however, for the measurement error of the superposition precision at the time of using the pattern for superposition precision measurement which consists of an above-mentioned box mark to disregard the effect which it has on the yield in manufacture of a semiconductor device as detailed-ization of an LSI pattern progresses. Therefore, the measurement error of the superposition precision between the lower layer pattern for superposition precision measurement and the upper resist pattern was made small, and development of the pattern for superposition precision measurement which can be made highly precise was desired.

[0017] Therefore, the purpose of this invention can make measurement of superposition precision highly precise, can pile up a pattern with high precision on the upper film, and is to offer the pattern for superposition precision measurement which can aim at improvement in the manufacture yield of a semiconductor device.

[0018]

[Means for Solving the Problem] this invention person inquired wholeheartedly that the above-mentioned technical problem which the conventional technique has should be solved. The outline is explained below.

[0019] According to this invention person's knowledge, one of the causes of generating of the error in measurement of superposition precision is that the pattern for superposition precision measurement is not formed with the same inclination as an actual LSI pattern. And it is mentioned that the coverage of the upper film formed as this factor as covers the pattern for superposition precision measurement on a semiconductor wafer becomes unsymmetrical to the core of that pattern for superposition precision measurement.

[0020] Thus, if the coverage of the upper film becomes unsymmetrical to the core of the pattern for superposition precision measurement, it is CCD (Charge Coupled Device) in the case of recognition of the pattern for superposition precision measurement. When it measures using an image sensor, the measurement error will become large. Moreover, when it measures using laser light, the reflected light from the upper film becomes unsymmetrical, a measurement gap of superposition precision will occur as a result, and a measurement error will become large too.

[0021] Therefore, in order to make a measurement gap of superposition precision small, it is effective to make the configuration of the pattern for superposition precision measurement on a semiconductor wafer into a pattern configuration from which the coverage of the upper film formed in the upper layer becomes the symmetry to the core of the pattern for superposition precision measurement.

[0022] Moreover, the result to which this invention person repeated examination

further wholeheartedly about a pattern with which the coverage of the upper film becomes the symmetry to the core of the pattern for superposition precision measurement, By the pattern for superposition precision measurement which consists of the conventional box mark Since the upper film formed in the upper layer needs to cover or embed the field of a large area Making small area which comes to recollect, and embeds or carries out that the coverage to the core becomes unsymmetrical for improvement in the symmetric property of the coverage of the upper film came to carry out the knowledge of the desirable thing. [that the upper film covers] And while making it small and constituting from a linear pattern (Rhine pattern) near an actual LSI pattern rather than it can set the area of the part which the upper film covers the pattern for superposition precision measurement, or embeds it to the conventional box mark for that purpose, it is desirable to arrange the Rhine pattern so that it may become the symmetry to the core of the pattern for superposition precision measurement. This invention is thought out based on the above examination.

[0023] In order to attain the above-mentioned purpose, namely, this invention Consist of the 1st pattern prepared on the substrate, and the 2nd pattern is formed through the film on the 1st pattern. It is a pattern for superposition precision measurement for measuring superposition precision using the 1st pattern and 2nd pattern, and the 1st pattern is characterized by membranous coverage having the pattern configuration which becomes almost symmetrical to the core of the 1st pattern.

[0024] In this invention, in order that the film on the 1st pattern may make wrap area small, or in order to make small area which the film on the 1st pattern embeds, the 1st pattern consists of Rhine patterns prepared along each side of four square shapes typically, and the width of face of a direction perpendicular to the longitudinal direction of the Rhine pattern is 0.5 micrometers or more 2 micrometers or less. Moreover, in this invention, in order to raise the homogeneity of the coverage of the film on the 1st pattern, suitably, four square shapes are squares and spacing of two parallel Rhine patterns is 3 micrometers or more 10 micrometers or less mutually of the Rhine patterns.

[0025] Typically in this invention, the configuration of the 1st pattern and the configuration of the 2nd pattern are similarities mutually.

[0026] According to this invention constituted as mentioned above, the pattern configuration of the pattern for superposition precision measurement which consists of the 1st pattern By making it a configuration from which the film formed on the 1st pattern becomes the symmetry mostly to the center of the pattern for superposition precision measurement When light is irradiated at the film on the 1st pattern, the reflected light can be mostly made into the symmetry to the core of the pattern for superposition precision measurement.

[0027]

[Embodiment of the Invention] Hereafter, it explains, referring to a drawing about 1 operation gestalt of this invention.

[0028] First, the pattern for superposition precision measurement on the reticle by 1 operation gestalt of this invention is explained. Drawing 1 shows the reticle by this 1 operation gestalt.

[0029] As shown in drawing 1, in this 1 operation gestalt, the marks 2a-2e for an alignment check are formed in five in a reticle 1. Four marks 2a-2d for an alignment check are formed in four corners of a reticle 1, respectively among these five marks 2a-2e for an alignment check. As for these marks 2a-2d for an alignment check, those longitudinal directions are prepared along each side of a reticle 1.

[0030] Moreover, the remaining mark 2e for an one alignment check is prepared in the surrounding part of the center of a reticle 1. This mark 2e for an alignment check is prepared so that it may become perpendicular to other two mark 2bs for an alignment check mutually prepared in the vertical angle, and a 2d longitudinal direction, while being prepared so that that longitudinal direction may become parallel to the longitudinal direction of two marks 2a and 2c for an alignment check mutually prepared in the vertical angle.

[0031] The pattern 3 for superposition precision measurement of isomorphism is arranged in two or more horizontal single tier (longitudinal direction of the mark for an alignment check) for every process, respectively, and the above-mentioned marks 2a-2e for an alignment check are constituted, as shown in drawing 2.

[0032] The pattern 3 for superposition precision measurement consists of four Rhine patterns 4. The Rhine pattern 4 is carrying out the configuration of a respectively long and slender rectangle, for example, is arranged along each side of four square shapes, such as a square, and each other is separated in the part of the top-most vertices of the four square shapes.

[0033] As mentioned above, the marks 2a-2e for an alignment check which consist of two or more patterns 3 for superposition precision measurement are formed in the predetermined location at the reticle 1. And in case a resist pattern is formed on a semi-conductor substrate (not shown among drawing 2) according to the lithography process using this reticle 1, the pattern 3 for superposition precision measurement is formed in formation and coincidence of other component patterns.

[0034] Next, the pattern for superposition precision measurement on the semi-conductor substrate by 1 operation gestalt of this invention is explained.

[0035] That is, in the semi-conductor substrate top with which a resist pattern etc. is formed, the pattern for superposition precision measurement is prepared in the location

corresponding to the marks 2a-2e for an alignment check on the above-mentioned reticle 1. Drawing 3 A shows the top view of the pattern for superposition precision measurement on the semi-conductor substrate by this 1 operation gestalt, and drawing 3 B shows the sectional view which met the B-B line of drawing 3 A.

[0036] As shown in drawing 3 A, the patterns 11 for superposition precision measurement on a semi-conductor substrate are the pattern 3 for superposition precision measurement prepared in the above-mentioned reticle 1, and a similar pattern. That is, the pattern 11 for superposition precision measurement on a semi-conductor substrate consists of four Rhine patterns 12, and these Rhine patterns 12 are formed along each side of four square shapes, such as a square, and each other are separated in the part of square top-most vertices. Moreover, a sign 13 shows the Rhine pattern which consists of a photoresist formed at the lithography process.

[0037] Moreover, as shown in drawing 3 B, the Rhine pattern 12 carries out pattern NINGU of the film, such as a cascade screen which carried out the laminating of for example, the aluminum (aluminum) film or two or more film on the semi-conductor substrate 14 with which the component isolation region, the active element, etc. were formed, at the Rhine configuration. Moreover, as the Rhine pattern 12 is covered on the semi-conductor substrate 14, the upper film 15 of the silicon oxide (SiO_2) film is formed. And the coverage of the upper film 15 is formed in the symmetry to the core of the pattern 11 for superposition precision measurement. Moreover, on the upper film 15, the Rhine pattern 13 which consists of a photoresist is formed. In addition, in the lithography process in the case of formation of this Rhine pattern 13, superposition is performed using a different alignment mark (not shown) from the above-mentioned pattern for superposition precision measurement. Here, it is the width of face L1 of the Rhine pattern 12. And width of face L2 of the Rhine pattern 13 It is chosen out of 0.5-2.0 micrometers, respectively, it sets in this 1 operation gestalt, and is width of face L1. It is referred to as 1.0 micrometers, for example, and is width of face L2. For example, it may be 0.5 micrometers. Moreover, the horizontal spacing d of the Rhine pattern 12 and the Rhine pattern 13 is 2 micrometers. Moreover, mutually, the spacing D of two parallel Rhine patterns 12 is chosen within the limits of 3-10 micrometers, and is chosen as about 5 micrometers in this 1 operation gestalt, for example.

[0038] As mentioned above, the pattern 11 for superposition precision measurement is formed on the semi-conductor substrate 14, and the Rhine pattern 13 is formed in the upper part through the upper film 15.

[0039] Using the pattern 11 for superposition precision measurement, measurement of the superposition precision of a photoresist is the shot of the arbitration in the semi-conductor substrate 14, for example, the image processing by the superposition

precision measurement machine (not shown) of dedication using a CCD image sensor performs it. In addition, in this invention, it is also possible to use what used laser, such as for example, helium-Ne laser, helium-Cd laser, and Ar laser, besides the thing using the CCD image sensor as a superposition precision measurement machine.

[0040] By trying forming the pattern 11 for superposition precision measurement which consists of Rhine patterns 12 with a width of face of about 1 micrometer on the semi-conductor substrate 14 according to this 1 operation gestalt, as explained above As compared with the pattern for superposition precision measurement which consists of the conventional box pattern etc., area of the wrap part of the upper film 15 can be sharply made small, and it can be made the thing near an actual LSI pattern. Therefore, since coverage of the upper film 15 can be made into the symmetry to the core of the pattern 11 for superposition precision measurement The upper film 15 can be formed in the symmetry to the core of the pattern 11 for superposition precision measurement. In case the pattern 11 for superposition precision measurement is recognized, about the reflected light of the light which a CCD image sensor receives, or laser light, it can become the symmetry to the core of the pattern 11 for superposition precision measurement. Therefore, the measurement error of superposition precision can be made small and the accuracy of measurement can be made highly precise. Therefore, since superposition, such as a resist pattern formed on the upper film 15, can be performed with high precision, improvement in the yield in manufacture of a semiconductor device can be aimed at.

[0041] As mentioned above, although 1 operation gestalt of this invention was explained concretely, this invention is not limited to 1 above-mentioned operation gestalt, and various kinds of deformation based on the technical thought of this invention is possible for it.

[0042] For example, it may not pass over the numeric value and ingredient which were mentioned in the above-mentioned operation gestalt for an example to the last, but the numeric value different if needed and ingredient different if needed from this may be used.

[0043] Moreover, although the Rhine pattern 12 was used as the remnants pattern which consists of aluminum film by which pattern NINGU was carried out, for example in 1 above-mentioned operation gestalt and the Rhine pattern 13 was used as the remnants pattern which consists of a photoresist, as shown in drawing 4 , the Rhine pattern 12 is used as the remnants pattern which consists of aluminum film, and it keeps consisting of a part from which the photoresist 16 was removed in the Rhine pattern 13, and is good also as a pattern. Moreover, as shown in drawing 5 , it keeps consisting of a part from which the aluminum film 17 was removed, the Rhine pattern 12 is used as a pattern, and it keeps consisting of a part from which the photoresist was removed in the Rhine pattern 13, and is good also as a pattern.

[0044] Moreover, as shown in drawing 6 besides the configuration shown, for example in drawing 3 R>3A in 1 above-mentioned operation gestalt, you may make it the configuration by which two or more Rhine patterns 22 have been arranged along each side of the square of the box pattern 21 and similarity in the inside of the square box pattern 21.

[0045]

[Effect of the Invention] As explained above, according to this invention, the pattern for superposition precision measurement which consists of the 1st pattern By making it a configuration from which the coverage of the film on the 1st pattern becomes the symmetry to the core of the pattern for superposition precision measurement Measurement of superposition precision can be made highly precise, a pattern can be piled up with high precision on the film, and improvement in the manufacture yield of a semiconductor device can be aimed at.

[Brief Description of the Drawings]

[Drawing 1] It is the top view of a reticle showing the layout of the mark for an alignment check by 1 operation gestalt of this invention.

[Drawing 2] It is the top view showing the mark for an alignment check on the reticle by 1 operation gestalt of this invention.

[Drawing 3] It is the top view and sectional view showing the pattern for superposition precision measurement on the semi-conductor substrate by 1 operation gestalt of this invention.

[Drawing 4] It is the sectional view showing other examples of the pattern for superposition precision measurement on the semi-conductor substrate by 1 operation gestalt of this invention.

[Drawing 5] It is the sectional view showing other examples of the pattern for superposition precision measurement on the semi-conductor substrate by 1 operation gestalt of this invention.

[Drawing 6] It is the top view showing other examples of the pattern for superposition precision measurement by the nature operation gestalt of this invention.

[Drawing 7] It is the top view of a reticle showing the layout of the conventional mark for an alignment check.

[Drawing 8] It is the top view showing the mark for an alignment check prepared in the conventional reticle.

[Drawing 9] It is the top view and sectional view showing the pattern for superposition precision measurement on the conventional semi-conductor substrate.

[Drawing 10] It is the sectional view showing other examples of the pattern for superposition precision measurement on the conventional semi-conductor substrate.

[Drawing 11] It is the sectional view showing other examples of the pattern for superposition precision measurement on the conventional semi-conductor substrate.

[Drawing 12] It is the sectional view showing other examples of the pattern for superposition precision measurement on the conventional semi-conductor substrate.

[Description of Notations]

1 [... The Rhine pattern, 15 / ... The upper film] ... A reticle, 2a-2d ... 3 The mark for an alignment check, 11 ... The pattern for superposition precision measurement, 4, 12, 13